

CONSTITUTION: A blocking layer 11 is formed on a substrate 1 and a first non-monocrystalline semiconductor layer 12 is formed thereon. Then a light beam having high energy light is directed to a part of the first non-monocrystalline semiconductor 12 wherein if an amorphous semiconductor is used as the first non-monocrystalline semiconductor layer, this part becomes a polycrystalline silicon semiconductor to be a semiconductor region 13 with forbidden band as narrow as approximately 1.2 to 1.4eV. Then a semiconductor layer 14 with wide forbidden band is formed adjacent to the semiconductor layer with narrow forbidden band and the first semiconductor layer, and an element isolating region 15 is selectively formed on its upper face. Then a gate insulation film 16, a gate electrode 17, a source and a drain regions 19, 19' are formed, and finally a source and a drain electrodes 20 are formed.

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008586240 **Image available**

WPI Acc No: 1991-090272/199113

XRAM Acc No: C91-038575

XRPX Acc No: N91-069659

FET type semiconductor device mfr. for high reliability - by forming 1st
non-single crystal semiconductor layer, polycrystalline or single crystal
conductor layer etc. NoAbstract Dwg 1/4

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3034459	A	19910214	JP 89168649	A	19890630	199113 B

Priority Applications (No Type Date): JP 89168649 A 19890630

Title Terms: FET; TYPE; SEMICONDUCTOR; DEVICE; MANUFACTURE; HIGH;
RELIABILITY; FORMING; NON; SINGLE; CRYSTAL; SEMICONDUCTOR; LAYER;
POLYCRYSTALLINE; SINGLE; CRYSTAL; CONDUCTOR; LAYER; NOABSTRACT

Index Terms/Additional Words: FIELD; EFFECT; TRANSISTOR

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

⑫ 公開特許公報(A)

平3-34459

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月14日

H 01 L 29/784
21/20
21/268
21/336

7739-5F

8422-5F H 01 L 29/78
8422-5F
9056-5F
9056-5F

3 0 1 B
Z
3 1 1 B
Z

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 電界効果型半導体装置の作製方法

⑯ 特 願 平1-168649

⑰ 出 願 平1(1989)6月30日

⑱ 発 明 者 山 崎 舜 平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 発 明 者 篠 原 久 人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑳ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

電界効果型半導体装置の作製方法

2. 特許請求の範囲

1. 第1の非単結晶半導体層を形成する工程と前記第1の非単結晶半導体層の少なくとも一部に対し、高エネルギーを有する光を照射し禁制帯幅の狭い多結晶または単結晶半導体層を形成する工程と、前記第1の非単結晶半導体層並びに前記禁制帯幅の狭い半導体層に接するように禁制帯幅の広い第2の半導体層を形成する工程を有することを特徴とする電界効果型半導体装置の作製方法。

2. 特許請求の範囲第1項において、前記高エネルギーを有する光は光学手段にて、特定の領域のみに集光されて照射されることを特徴とする電界効果型半導体装置の作製方法。

3. 特許請求の範囲第1項において、前記高エネルギーを有する光として、エキシマレーザ光を用いたことを特徴とする電界効果型半導

体装置の作製方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電界効果型半導体装置の新規な構造に関し、特に耐ホットキャリア現象にすぐれた信頼性の高い電界効果型半導体装置を作製する方法に関するものであります。

(従来の技術)

近年、電界効果型半導体装置を構成要素として、半導体集積回路素子(IC)が著しい進歩をとげている。

これらICは、より高度な処理、より高速の動作、より便利な機能を世間が求めるに従って、高集積化、高密度化が追求され、1つの電界効果型半導体装置の素子寸法がますます小さくなってきている。

この電界効果型半導体装置が動作するのに必要な電圧は、必ずしも素子寸法の縮小に伴って比例して減少しないために最近の高密度化、高集積化されたICは素子内部に加わる電界が増加し、素子

の信頼性に問題が発生してきた。特にホットキャリア現象による素子特性の変動はサブミクロンデバイスの信頼性限界を決める重要な問題である。

半導体中を移動するキャリアの平均エネルギーは、温度を T とすると $3/2kT$ と考えられる。このキャリアに電界が加わると、キャリアはエネルギーを受ける。このエネルギーは、その値が小さい間はキャリアと格子との相互作用によって熱エネルギーとなり、結晶の中へ放出される。一方、電界強度が大きくなると、格子振動へのエネルギーの流れが間に合わなくなり、キャリアの平均エネルギーの値は $3/2kT$ より大きくなる。このようなキャリアは、格子温度よりも高い状態となっており、この状態がホットキャリアと呼ばれている。

このようなホットキャリアは、電界効果型半導体装置のドレイン近傍、ゲート酸化膜近傍等、強電界が集中する部分で加速されて発生する。この付近で発生したホットエレクトロンは、ゲート酸化膜に注入され Si/SiO_2 界面又は SiO_2 中

の捕獲中心に捕まる。この捕らえられたホットキャリアによって、空間電荷を形成し、電界効果型半導体装置の V_{th} , g_m などの特性を変化させて、ICの信頼性を損なわせていた。

このホットキャリア対策として、種々の方法が試みられているが、素子構造の改良としてDD(ダブルドレイン) LDD(ライトドープドレイン)等の素子が考案されている。

(発明の目的)

本発明はホットキャリア現象に強い、信頼性の高い新規な電界効果型半導体装置を容易に作製する方法を提供するものであります。

(発明の構成)

本発明は、上記の目的を達成するために、ゲート電極とゲート絶縁膜と該ゲート絶縁膜下に、禁制帯幅の異なる半導体層を有し、該ゲート絶縁膜下には禁制帯幅の広い半導体層を有し、該禁制帯幅の広い半導体層の下には、禁制帯幅の狭い半導体層を有する電界効果型半導体装置の作製方法において、禁制帯幅の狭い第1の半導体層は高エネ

ルギー光を照射することにより非単結晶半導体層を多結晶または単結晶化することにより形成される前記半導体層に高エネルギー光を照射する前または後に禁制帯幅の広い第2の半導体層を前記第1の半導体層に接するように形成する工程を有することを特徴とするものであります。

第1図に本発明方法の一例の概略を示し説明を行います。

同図(A)にあるように、基板(1)例えばガラス、セラミックス、導体上に絶縁膜を形成したもの或いは単結晶シリコン基板等を使用することができる。このような基板(1)上にブロッキング層(2)を形成する。次に第1の非単結晶半導体層(3)を形成する。この非単結晶半導体としては後の工程で結晶化が行われる為に結晶化によって禁制帯幅が狭くなる半導体が望ましい、例えばアモルファスシリコン半導体等がこの半導体として使用できる。次に、この第1の非単結晶半導体層(3)の一部分に対して高エネルギー光を持つ光ビーム(100)を照射する。この時、マスクを用いて必要な部分のみ

に光を集光して照射するか又は光学手段を使用して必要な部分のみに光を集光して照射する。この光の照射により禁制帯幅の狭い領域(4)が得られる。例えば第1の非単結晶半導体層としてアモルファス半導体を使用した場合はこの部分は多結晶シリコン半導体となり禁制帯幅は約1.2~1.4eV程度の狭い半導体領域(4)が得られる。

次に、この禁制帯幅の狭い半導体層並びに第1の半導体層に接するように禁制帯幅の広い半導体層(5)を形成する。さらにこの上面に素子分離領域(6)を選択的に形成し第1図(C)の状態を得る。次にゲート絶縁膜(7)、ゲート電極(8)、ソース、ドレイン領域(9)(19')を形成し第1図(D)の状態を得る。最後にソース、ドレイン電極(20')を形成し第1図(E)の電界効果型半導体装置を完成させる。

このようにして作製した電界効果型半導体装置のゲート電極に電圧を印加した場合、チャネルはゲート絶縁膜直下ではなく、禁制帯幅の狭い半導体層部に形成される。よって、このような素子の

中で発生したホットキャリアがゲート絶縁膜にまで到達するためには、禁制帯幅の広い半導体層を通過しなければならないため、十分に高いエネルギーを持った状態でゲート絶縁膜に達せず、消滅してしまう。これにより耐ホットキャリア現象を向上するものであります。

以下に図面により本発明により作製された電界効果型半導体装置を説明します。

第2図は本発明の電界効果型半導体装置の概略断面図を示しています。

また、同図のX-X'面に対応するエネルギーバンド図を第3図(A)に示します。第3図(A)は、フラットバンド状態のエネルギーバンド図であり、第2図の半導体(2)として、多結晶シリコン半導体、第2の半導体(3)として、アモルファスシリコン半導体を用いた時の様子を示しています。

このような構成を持つ電界効果型半導体装置のゲート電極(7)に正の電圧を加えた時のエネルギーバンドの様子を第3図(B)に示す。この場合、ゲート電極(7)に電圧を加えることによって、ゲート

絶縁膜(6)の下方にチャンネルが形成される。第1の半導体層(2)に比べて、第2の半導体層(3)は禁制帯幅が広いので、チャンネルはゲート絶縁膜(6)直下の第2の半導体層(3)中ではなく、その下の第1の半導体層(2)中の領域(9)の付近に形成され、ソース、ドレイン電流はソース電極(8)—ソース(4)—チャンネル(9)—ドレイン(4')—ドレイン電極(8')のパスを通過して流れる。

このようにキャリアは、ゲート絶縁膜(6)直下ではなく、ゲート絶縁膜(6)より離れた位置に形成されたチャンネル(9)を流れ、デバイス寸法の縮小等によりドレイン近傍またはゲート絶縁膜付近で強電界領域が形成され、ホットキャリアが発生してもホットキャリアは、第2の半導体層中の領域(9)を通過するために消滅またはエネルギーを減少させて、ゲート絶縁膜に到達することになり、ゲート絶縁膜が損傷を受けたり、ゲート絶縁膜半導体層界面にトラップを形成することなく、電界効果型半導体装置の信頼性を向上させるものであります。

また、第1の半導体層(2)と、第2の半導体層(3)

の禁制帯幅の差が少ない場合には、ゲート電極に電圧を加えた場合に、チャンネルがゲート絶縁膜直下と、第1の半導体層と第2の半導体層の界面付近とに形成される場合がある。この場合、第2の半導体層の厚みを薄くすることにより、ゲート絶縁膜直下にチャンネルが形成されるのを防止できる。また、この場合、第1の半導体層(2)を多結晶シリコンとし、第2の半導体層(3)をアモルファスシリコンとすると第1の半導体層に、第2の半導体層よりキャリア生成効率の高い材料を使用すると、ゲート絶縁膜直下及び、第1の半導体層と第2の半導体層の界面付近にチャンネルが形成されていても、実質的に大多数のキャリアは第1の半導体層と第2の半導体層界面付近に形成されたチャンネルを流れるので、同様に耐ホットキャリア効果を有している。

さらにまた、本発明構成によれば、チャンネルがゲート絶縁膜直下に形成されないため、キャリアはゲート絶縁膜界面に界面単位によって捕獲されたり、界面近傍に存在する固定電荷によってキャ

リアが散乱し、キャリアの移動度が低下するという問題も同時に解決することができる。

尚、以上の説明においては、薄膜の電界効果型半導体装置を主として示したが、一般のMOS型電界効果型半導体装置にも、本発明の概念を変更することなく適用することができる。

また、使用する材料も本発明の概念を変更するものでなければ、アモルファス、多結晶、結晶を問わず幅広い材料を選択することができる。

以下に実施例を示し本発明を説明する。

「実施例1」

第1図は本発明の電界効果型半導体装置の製造工程を示す概略縦断面図である。

第1図(A)において、本実施例では450℃～500℃程度の耐熱性を持つコーニング7059ガラスを基板(1)として使用した。

尚、本実施例においては、基板(1)上に複数の素子を形成した集積回路構造とはせず、一つの半導体装置について記述した。

まず、基板(1)を十分に洗浄した後、紫外光を基

板(1)表面に10~20分酸化性雰囲気下で照射し、洗浄工程で除去できない基板表面上の付着有機物を除去し、次にこの基板(1)上形成する半導体層との密着性向上と基板表面からの不純物の拡散を防止した。さらにまた、この基板(1)上にプラズマCVD法または光CVD法にて窒化珪素膜(2)を1000Åの厚さに形成しガラス基板内部から不純物が拡散することを防止した。

次にこの基板(1)をプラズマCVD装置内に設置しアモルファスシリコン半導体(3)約5000Åの厚さに形成した。この時基板温度を350℃と若干高くして形成したので、半導体層(3)は結晶化が進んだ状態であった。

次に第1図(B)に示すように第1のマスク(4)を用いて、電界効果型半導体装置の部分のみを光アニール処理を施し、多結晶シリコン半導体(3)とし、この半導体層を第1の半導体層(3)とする。この光アニール処理とは、アモルファスシリコン半導体に対して高いエネルギーを持つ光を照射し、アモルファスシリコン半導体を瞬時に加熱し、そ

あった。

本実施例ではレーザー光を照射して多結晶化を行ったが、この時同時に基板加熱を行い、さらにレーザー光の照射時間を長くすることにより、単結晶状態に近い半導体層を得ることも可能であった。本実施例で得られた、レーザーアニール後の第1の半導体層(3)の禁制帯幅は1.23eVであった。

この上面にスパッタリング法によりアモルファスシリコン半導体(4)を10~200Åの範囲、本実施例では80Åの厚さに形成し、第2の半導体層(4)とした。このアモルファスシリコン半導体中には水素をできるだけ含まない条件で作製を行った。すなわち、この第2の半導体層(4)中に水素が多量に存在すると、この水素が移動してゲート絶縁膜付近でSi—O結合と反応し、この付近で新たに界面準位を形成する。そのため、この第2の半導体層(4)には余分な水素、多量の水素を含まないようにすることが重要であった。

この得られた第2の半導体層(4)の禁制帯幅は1.57eVであり、通常のアモルファスシリコン半

導体の結晶性を高めるものであります。

本実施例においては、この高いエネルギーを持つ光として248nmの波長を持つKrFエキシマレーザー光を用いた。

このレーザー光のビーム寸法は5mm×10mmでありマスクを用いて(3)の領域にあたる部分のみに照射した。レーザー光のエネルギー密度は170mJ/cm²であり、レーザー光の照射パルスレートは15ppsで2.8秒間レーザー光を照射した。

このレーザーアニールを施された部分は透過型電子顕微鏡にて観察を行ったところ約800~1000Å程度の大きさのグレインが膜全面に渡って見られ、多結晶状態となっていた。

またこの膜中の水素量は1原子%以下であり、モビリティの大きな多結晶半導体(3)が得られていた。本実施例においては、このレーザー光の照射をマスクを用いて行ったが、照射するレーザー光のビーム寸法及び形状を光学手段を用いて素子外形寸法と同じように集光し、照射するとマスクを必要とせず素子部のみを多結晶化することも可能で

導体のそれより、若干小さく余分な水素が含まれていない状態であった。

次に第2の半導体層(4)の全面にCVD法により酸化珪素絶縁膜を約1μmの厚さで形成し、前のレーザーアニール工程にて使用した、第1のマスクを用いて、この酸化珪素膜をパターンニングし、素子周辺の絶縁領域(5)を形成し、第1図(C)の状態を得た。

次にこの基板表面にプラズマ酸化処理を施し、全面に酸化珪素膜を80Åの厚さに形成する。次にこの酸化珪素膜上にリンが多量にドーパされた多結晶珪素をCVD法にて2000Åの厚さに形成する。次に第2のフォトリソマスク(6)を用いてゲート電極(7)とゲート絶縁膜(8)とをセルフライン構造で形成した。本実施例ではゲート絶縁膜としてプラズマ酸化処理によって得られた酸化珪素膜を使用した。他に窒化珪素膜等の絶縁膜を使用することも可能である。特にこの窒化珪素膜を光CVD法にて形成した場合、ゲート絶縁膜と半導体層との界面に形成される界面準位は5.3×

10^{18} 個/cm²と非常に少ないものが得られ、よりホットキャリア効果の少ない信頼性の高い電界効果型半導体装置を実現することができた。

次にこの工程によって形成された開口部を通して不純物を導入し、ソース、ドレイン領域の形成を以下に示す順序で行った。

前工程にて使用した、レジストマスクを残した状態でこの開口部を通してリンをイオン注入した、そのドーズ量は 6×10^{18} 個/cm²であった。開口部を通して第2の半導体層04が外部に露出しており、この部分にリンがドーピングされ、ソース、ドレイン領域04、(19')が形成される。この第2の半導体層04は本実施例においては、アモルファスシリコン半導体を使用しているため、十分な深さまでリンがドーピングされる。しかし、このイオン注入されたリンは、十分に活性化状態となっていないので、このドーピングされた部分に対し、再度レーザー光を照射し、この領域を活性化すると同時に、ソース、ドレイン領域04、(19')を多結晶化し、より導通性を高くした。この時レー

ザ光は、エネルギー密度 120 mJ/cm^2 で 10 pps のパルス光を5秒間照射した。

このようにして、第1図(0)に示す状態を得る。最後に、公知のスパッタリング方法により、モリブデン金属を 3000 \AA の厚みに形成し、第3のマスク05を使用して、公知のフォトリソグラフィにより、ソース、ドレイン電極05、(20')を形成して、電界効果型半導体装置を完成させた。

この素子を動作状態で1ヶ月連続動作させた結果 V_T 並びに g_m は、ほとんど変化せず、このデータを基にして外挿し、10年後の V_T 並びに g_m の変化量は5%以内であった。

本実施例において、第1の半導体層として多結晶シリコン半導体を第2の半導体層として、アモルファスシリコン半導体を用いた、この2つの半導体層の禁制帯幅の差は過大なものではない。そのため、第2の半導体層の厚みが $10 \sim 1000 \text{ \AA}$ 特に禁制帯幅の差が 0.2 eV 以下である場合は、 $10 \sim 200 \text{ \AA}$ とすることで、チャネルがゲート絶縁膜直下に形成されることを防止すること

が、可能であると実験的な知見が得られている。すなわち、第2の半導体層の厚みを 200 \AA 以下とすれば、ゲート絶縁膜直下ではなく、第1の半導体層付近にチャネルを形成することが可能であった。

「実施例2」

実施例1と同様に、前処理とに基板洗浄、紫外光処理並びにブロッキング層が形成された基板を本実施例においても使用した。また、作製工程も一部を除き第1図に示す通りである。この基板(1)上にCVD法にてアモルファスシリコン半導体層を約 6000 \AA の厚さに形成した。この時、基板の作製温度は 250°C であり、真性または若干P型を示す半導体層とするため、原料気体である珪化合物気体に対し $10 \sim 100 \text{ ppm}$ の割合でジボラン気体を混入し、半導体層中に微量のボロンを添加した。

この時に添加するボロンの量によって、電界効果型半導体装置の V_T のコントロールが可能である。

次に、第1の半導体層領域の外に外形寸法と同じレーザービームをこの半導体層に照射し、この照射領域を多結晶シリコンとした。このレーザー光は、 308 nm の波長のXeClエキシマレーザー光を使用した。レーザービームの寸法は、 $250 \mu\text{m} \times 150 \mu\text{m}$ であり、マスクを用いることなく、第1の半導体層領域03を多結晶化し、その領域の禁制帯幅は 1.25 eV であった。レーザービームのエネルギー密度は 200 mJ/cm^2 、パルスレート 10 pps で4秒間レーザーパルスを照射した。

さらにこの第1の半導体層03を含む全面に、第2の半導体層04としてプラズマCVD法により、炭化珪素半導体層を 200 \AA の厚さで形成した。その時の条件を以下に示す。

基板温度 300°C

反応気体 $\text{Si}_2\text{H}_6 + \text{CH}_4$

$(\text{CH}_4/\text{Si}_2\text{H}_6 = 5\%)$

RFパワー 150 W

反応圧力 0.13 Torr

この第2の半導体04である炭化珪素半導体層の禁

禁帯幅は2.06 eVと、広い禁帯幅を持つものであった。この後、実施例1と同様の方法にて素子周辺領域(9)、ゲート絶縁膜(10)、ゲート電極(11)、ソース、ドレイン領域(19')並びにソース、ドレイン電極(20')を3枚のフォトリソを用いて形成し、電界効果型半導体装置を完成させた。

特に本実施例においては、ゲート電極並びにソース、ドレイン電極として、珪化物金属、例えばタングステンシリサイドを使用した。そのため同一の基板上に複数の素子を設ける集積化構造に本発明を適用した場合、半導体装置完成後の後工程で、加える温度が少々高く(500~600℃)ながらも素子特性が悪化しない。また、電極の配線抵抗が下がるため、発熱を防止でき、素子の応答速度を速くできる特徴があった。

本実施例において、第1の半導体層(1)と第2の半導体層(2)との禁帯幅の差は0.81 eVと相当大きい。このような場合、チャネルはゲート絶縁膜直下ではなく、第1の半導体層付近に形成される。よってゲート電圧を加えることによって、

チャネルが第1の半導体付近に形成される範囲内で、第2の半導体層の厚みを変化させることにより、ゲート絶縁膜からチャネル形成領域までの距離を変化させることが可能である。

しかし、チャネルをよりゲート絶縁膜より離れて形成するために、第2の半導体層の厚みを厚くしすぎると、ゲート電圧をより高くする必要が生じてくる。このように電圧を高くすることは、実用的ではなく、第2の半導体層の厚みは2000 Å以下で調整することが必要であった。

「実施例3」

本実施例においても実施例1と同様に前処理として、基板洗浄紫外光処理並びにブロッキング層が形成されたガラス基板を使用する。ただし、ガラス基板はコーニング7059ガラスではなく、通常のソーダガラスを使用した。この基板上にCVD法にて、リンが高濃度にドーブされた多結晶シリコンでゲート電極(21)を形成した。その作製条件を以下に示す。

基板温度 350℃

反応気体 $\text{SiH}_4 + \text{PH}_3$

反応圧力 3.3 Torr

このように形成されたリンドーブ多結晶シリコンを第1のマスクを用いてゲート電極(21)のパターンにエッチングを行い、次にプラズマCVD法によりゲート絶縁膜(22)として窒化珪素膜を約100 Å厚さに形成し、第2のマスクを使用して、エッチングし第4図(A)の状態を得る。

次に実施例1と同様にこの上にアモルファスシリコン半導体層(23)を形成した。この半導体層の禁帯幅は1.67 eVであった。また、厚みは80 Åとした。

次に実施例1と同様にこの半導体層中に不純物をイオン注入し、ソース、ドレイン領域に不純物をドーピングしたこの時、マスクはゲート絶縁膜のパターニングに使用した第2のマスクを用い、フォトリソをマスクとして、リンをドーブした。この後イオン注入されたリンを活性化するために窒素雰囲気下にて、350℃で20分アニール処理を行いソースドレイン領域(24)(24')を形成

した。次にこの上面に実施例1と同様にスパッタリング法により非単結晶珪素半導体(25)を形成する。次に実施例2と同様に光学手段にて集光されたエキシマレーザー光(100)を照射して禁帯幅の狭い多結晶珪素半導体領域(26)を形成し本発明の電界効果型半導体装置を完成させた。

本実施例においては、電界効果型半導体装置を作製する際に必要とするマスクが2枚で良く、低コスト化を達成することが可能となった。

本実施例においては、逆コプレーナー型の薄膜の電界効果型半導体装置について記載したが、その他の構造においても、本発明の基本思想を応用することは可能である。

また、高エネルギーを有する光として、本実施例にて記載のレーザー光のみに限定されず、キセノンランプ、高圧水銀灯、赤外線ランプ等幅広いものを用いることができる。

特に、レーザー光は光学手段によって、微細なパターンに集光する事ができるので、電界効果型半導体装置を作製する際にはマスクを一枚少なくし

て作製することが可能となる。

〔効果〕

本発明構成によって作製された電界効果型半導体装置のチャネルはゲート絶縁膜直下ではなく、種れた位置に形成され、ホットキャリア現象による素子特性の劣化を防止機能有し、信頼性の高い電界効果型半導体装置を容易に低コストで実現することができた。

さらに、電界効果型半導体装置の寸法を縮小することが可能となった。

また、電界効果型半導体装置の作製マスクの数を少なくして、できるので、製造の歩留りを向上することが可能で、それによっても、コストを下げる事が可能となった。

4. 図面の簡単な説明

第1図及び第4図は本発明の電界効果型半導体装置の作製方法の概略図を示す。

第2図は本発明の電界効果型半導体装置の概略断面図を示す。

第3図は本発明の電界効果型半導体装置のエネ

ルギーバンド図を示す。

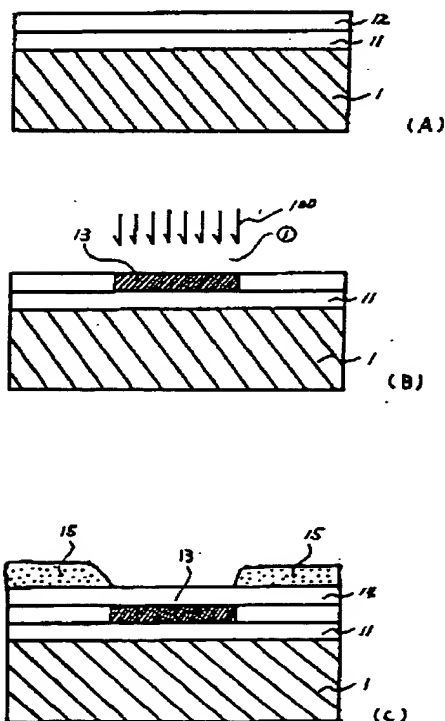
- 1・・・基板
- 2, 13, 26・・・第1の半導体層
- 3, 14, 23・・・第2の半導体層
- 4, 4', 19, 19', 24, 24'・・・ソース、ドレイン領域
- 6, 16, 22・・・ゲート絶縁膜
- 7, 17, 21・・・ゲート電極
- 10・・・チャネル部
- 11・・・窒化珪素膜
- 100・・・レーザ光

特許出願人

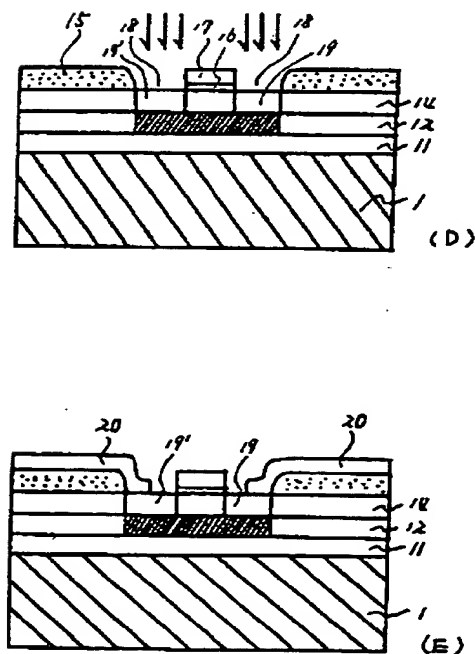
株式会社半導体エネルギー研究所

代表者 山 崎 舜 平

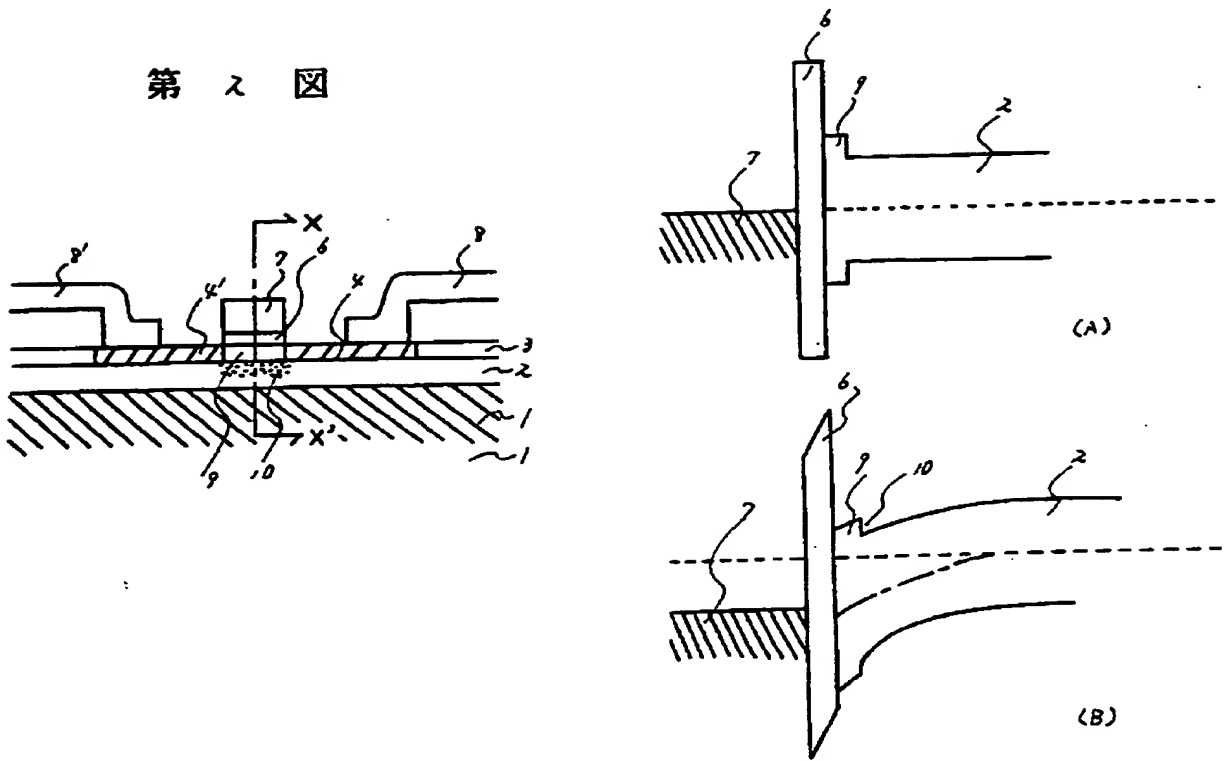
第 1 図



第 1 図



第 3 図



第 4 図

